

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

9763772

Basic Patent (No,Kind,Date): JP 3059543 A2 910314 <No. of Patents: 001>

MANUFACTURE OF COLOR LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: HITACHI LTD; HITACHI DEVICE ENG

Author (Inventor): IPPONSUGI MIDORI; ISHII AKIRA; WATANABE

HISAMITSU; WATANABE YOSHIKI

IPC: *G02F-001/136; G02B-005/20; G02F-001/1335

JAPIO Reference No: 150214P000104

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3059543	A2	910314	JP 89194191	A	890728 (BASIC)

Priority Data (No,Kind,Date):

JP 89194191 A 890728

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03396643 **Image available**

MANUFACTURE OF COLOR LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 03-059543 [JP 3059543 A]

PUBLISHED: March 14, 1991 (19910314)

INVENTOR(s): IPPONSUGI MIDORI

ISHII AKIRA

WATANABE HISAMITSU

WATANABE YOSHIKI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

HITACHI DEVICE ENG CO LTD [486661] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 01-194191 [JP 89194191]

FILED: July 28, 1989 (19890728)

INTL CLASS: [5] G02F-001/136; G02B-005/20; G02F-001/1335

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass Conductors)

JOURNAL: Section: P, Section No. 1209, Vol. 15, No. 214, Pg. 104, May
31, 1991 (19910531)

ABSTRACT

PURPOSE: To easily dye a green color filter to a prescribed color tone by
dyeing a dyeing base material by a cyan dye, and thereafter, dyeing the
dyeing base material by a yellow dye.

CONSTITUTION: On the upper transparent glass substrate SUB2, a chrome film
is provided, and subsequently, a shielding film BM is formed. Next, a
dyeing base material is dyed by a red dye, a fixation processing is
performed, and a red color filter FIL(R) is formed. Subsequently, the
dyeing base material is dyed by a cyan dye, and thereafter, furthermore,
the same dyeing base material is dyed by a yellow dye, and by performing a
fixation processing, a green color filter FIL(G) is formed. In such a way,
by fixing each dyeing condition of the cyan dye and the yellow dye, each
dyeing quantity of the cyan dye and the yellow dye to the dyeing base
material can be made constant, therefore, the green color filter can be
dyed easily to a prescribed color tone.

⑪ 公開特許公報 (A)

平3-59543

⑫ Int. Cl. 5

G 02 F 1/136
G 02 B 5/20
G 02 F 1/1335

識別記号

5 0 0
1 0 1
5 0 5

庁内整理番号

9018-2H
7448-2H
8106-2H

⑬ 公開 平成3年(1991)3月14日

審査請求 未請求 請求項の数 1 (全16頁)

⑭ 発明の名称 カラー液晶表示装置の製造方法

⑮ 特願 平1-194191

⑯ 出願 平1(1989)7月28日

⑰ 発明者 一本杉みどり 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

⑰ 発明者 石井 影 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

⑰ 発明者 渡辺 尚光 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出願人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

⑰ 代理人 弁理士 小川 勝男 外1名
最終頁に続く

明細書

1. 発明の名称

カラー液晶表示装置の製造方法

2. 特許請求の範囲

1. 緑色カラーフィルタを有するカラー液晶表示装置を製造する方法において、染色基材をシアノ染料で染色したのち、上記染色基材をイエロー染料で染色することにより、上記緑色カラーフィルタを染色することを特徴とするカラー液晶表示装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

この発明はカラー液晶表示装置の製造方法、特に薄膜トランジスタ等を使用したアクティブ・マトリクス方式のカラー液晶表示装置の製造方法に関するものである。

【従来の技術】

アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して非晶形素子（スイッチング素子）を設

けたものである。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用している。いわゆる單純マトリクス方式と比べてアクティブ方式はコントラストが高く特にカラーでは欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

従来のカラー液晶表示装置の製造方法においては、シアノ染料とイエロー染料とを混合した混合染料を用いて、緑色カラーフィルタを染色している。

なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、たとえば「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193～210、1986年12月15日、日経マグロウヒル社発行、で知られている。

【発明が解決しようとする課題】

しかし、このようなカラー液晶表示装置の製造方法においては、わずかな染色条件の相違により、

染色基材に対する混合染料の運動状態などが大きく相違するから、緑色カラーフィルタを一定の色調に染色するのは困難であった。

この発明は上述の課題を解決するためになされたもので、容易に緑色カラーフィルタを一定の色調に染色することができるカラー液晶表示装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

この目的を達成するため、この発明においては、緑色カラーフィルタを有するカラー液晶表示装置を製造する方法において、染色基材をシアン染料で染色したのち、上記染色基材をイエロー染料で染色することにより、上記緑色カラーフィルタを染色する。

【作用】

このカラー液晶表示装置の製造方法においては、シアン染料、イエロー染料の各染色条件を固定することで、染色基材へのシアン染料、イエロー染料の各染着量を一定にすることができる。

【実施例】

ITO 1 および保持容量素子 Cadd を含む。走査信号線 GL は列方向に延長し、行方向に複数本配置されている。映像信号線 DL は行方向に延長し、列方向に複数本配置されている。

【表示部断面全体構造】

第 2 B 図に示すように、液晶 LC を基準に下部透明ガラス基板 SUB 1 側には薄膜トランジスタ TFT および透明画素電極 ITO 1 が形成され、上部透明ガラス基板 SUB 2 側にはカラーフィルタ FFL 、遮光膜 BM が形成されている。下部透明ガラス基板 SUB 1 はたとえば 1.1 [μm] 程度の厚さで構成されている。

第 2 B 図の中央部は一画素部分の断面を示しているが、左側は透明ガラス基板 SUB 1 、SUB 2 の左側縁部分で外部引出配線の存在する部分の断面を示しており、右側は透明ガラス基板 SUB 1 、SUB 2 の右側縁部分で外部引出配線の存在しない部分の断面を示している。

第 2 B 図の左側、右側のそれぞれに示すシール

以下、この発明を適用すべきアクティブ・マトリクス方式のカラー液晶表示装置を説明する。

なお、液晶表示装置を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

第 2 A 図はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、第 2 B 図は第 2 A 図の II B - II B 切断線における断面と表示パネルのシール部付近の断面を示す図、第 2 C 図は第 2 A 図の II C - II C 切断線における断面図である。また、第 3 図(要部平面図)には第 2 A 図に示す画素を複数配置したときの平面図を示す。

【画素配置】

第 2 A 図に示すように、各画素は隣接する 2 本の走査信号線(ゲート信号線または水平信号線) GL と、隣接する 2 本の映像信号線(ドレイン信号線または垂直信号線) DL との交差領域内(4 本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタ TFT 、透明画素電極

材 SL は液晶 LC を封止するように構成されており、液晶封入口(図示していない)を除く透明ガラス基板 SUB 1 、SUB 2 の最周縁全体に沿って形成されている。シール材 SL はたとえばエポキシ樹脂で形成されている。

上部透明ガラス基板 SUB 2 側の共通透明画素電極 ITO 2 は、少なくとも一箇所において、遮光ペースト材 SIL によって下部透明ガラス基板 SUB 1 側に形成された外部引出配線に接続されている。この外部引出配線はゲート電極 GT 、ソース電極 SD 1 、ドレイン電極 SD 2 のそれぞれと同一製造工程で形成される。

配向膜 ORI 1 、ORI 2 、透明画素電極 ITO 1 、共通透明画素電極 ITO 2 、保護膜 PSV 1 、PSV 2 、遮光膜 GI のそれぞれの層は、シール材 SL の内側に形成される。遮光板 POL 1 、POL 2 はそれぞれ下部透明ガラス基板 SUB 1 、上部透明ガラス基板 SUB 2 の外側の表面に形成されている。

液晶 LC は液晶分子の向きを設定する下部配向

面ORI 1と上部配向膜ORI 2との間に封入され、シール部Sによってシールされている。

下部配向膜ORI 1は下部透明ガラス基板SUB 1側の保護膜PSV 1の上部に形成される。

上部透明ガラス基板SUB 2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFL、保護膜PSV 2、共通透明電極ITO 2(COM)および上部配向膜ORI 2が順次積層して設けられている。

この液晶表示装置は下部透明ガラス基板SUB 1個、上部透明ガラス基板SUB 2個のそれぞれの層を別々に形成し、その後上下透明ガラス基板SUB 1、SUB 2を重ね合わせ、両者間に液晶LCを封入することによって組み立てられる。

〈薄膜トランジスタTFT〉

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

各画素の薄膜トランジスタTFTは、画素内に

のみを描いた平面図）に詳細に示すように、走査信号線GLから垂直方向（第2A図および第4図において上方）に突出する形状で構成されている（T字形捨に分岐されている）。ゲート電極GTは薄膜トランジスタTFT 1～TFT 3のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTFT 1～TFT 3のそれぞれのゲート電極GTは、一体に（共通ゲート電極として）構成されており、走査信号線GLに連続して形成されている。ゲート電極GTは、薄膜トランジスタTFTの形成領域において大きい段差を作らないように、单層の第1遮電膜g1で構成する。第1遮電膜g1はたとえばスパッタで形成されたクロム(Cr)膜を用い、1000[Å]程度の膜厚で形成する。

このゲート電極GTは第2A図、第2B図および第4図に示されているように、i型半導体層ASを完全に覆うよう（下方からみて）それより大目に形成される。したがって、下部透明ガラス基板SUB 1の下方に発光灯等のバックライトB

において3つ（複数）に分割され、薄膜トランジスタ（分割薄膜トランジスタ）TFT 1、TFT 2およびTFT 3で構成されている。薄膜トランジスタTFT 1～TFT 3のそれぞれは実質的に同一サイズ（チャネル長と幅が同じ）で構成されている。この分割された薄膜トランジスタTFT 1～TFT 3のそれぞれは、主にゲート電極GT、ゲート遮電膜GI、i型（真性、intrinsic、導電型決定不純物がドープされていない）非晶質シリコン(Si)からなるi型半導体層AS、一方のソース電極SD 1およびドレイン電極SD 2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、この液晶表示装置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし、以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

〈ゲート電極GT〉

ゲート電極GTは第4図（第2A図の第1遮電膜g1、第2遮電膜g2およびi型半導体層AS

Lを取り付けた場合、この不透明なクロムからなるゲート電極GTが影となって、i型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD 1とドレイン電極SD 2との間をまたがるに最低限必要な（ゲート電極GTとソース電極SD 1、ドレイン電極SD 2との位置合わせ余裕分も含めて）幅を持ち、チャネル幅Wを決めるその奥行き長さはソース電極SD 1とドレイン電極SD 2との間の距離（チャネル長）Lとの比、すなわち相互コンダクタンスGを決定するファクタW/Lをいくつにするかによって決められる。

この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

なお、ゲート電極GTのゲートおよび遮光の機能からだけで考えれば、ゲート電極GTおよび走査信号線GLは單一の層で一体に形成してもよ

く、この場合不透明導電材料としてシリコンを含有させたアルミニウム(A1)、純アルミニウム、パラジウム(Pd)を含有させたアルミニウム等を選ぶことができる。

〈走査信号層GL〉

走査信号層GLは第1導電膜g1およびその上部に設けられた第2導電膜g2からなる複合膜で構成されている。この走査信号層GLの第1導電膜g1はゲート電極GTの第1導電膜g1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム膜を用い、1000～5500[Å]程度の膜厚で形成する。第2導電膜g2は走査信号層GLの抵抗値を低減し、信号伝達速度の高速化(画素の情報の寄込特性向上)を図ることができるよう構成されている。

また、走査信号層GLは第1導電膜g1の幅寸法に比べて第2導電膜g2の幅寸法を小さく構成している。すなわち、走査信号層GLはその側壁の壁形状がゆるやかになっている。

導体層d0(第2B図)も同様に連続して約400[Å]の厚さに形成される。かかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN⁺型半導体層d0およびi型半導体層ASは第2A図、第2B図および第4図に示すように独立した島状にパターニングされる。

i型半導体層ASは、第2A図および第4図に詳細に示すように、走査信号層GLと映像信号層DLとの交差部(クロスオーバ部)の両者間にても設けられている。この交差部のi型半導体層ASは交差部における走査信号層GLと映像信号層DLとの短絡を低減するように構成されている。

〈ソース電極SD1、ドレイン電極SD2〉

複数に分離された薄膜トランジスタTFT1～TFT3のそれぞれのソース電極SD1とドレイン電極SD2とは、第2A図、第2B図および第5図(第2A図の第1～第3導電膜d1～d3のみを描いた平面図)で詳細に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

〈絶縁膜GI〉

絶縁膜GIは薄膜トランジスタTFT1～TFT3のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号層GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された氧化シリコン膜を用い、3000[Å]程度の膜厚で形成する。

〈i型半導体層AS〉

i型半導体層ASは、第4図に示すように、複数に分離された薄膜トランジスタTFT1～TFT3のそれぞれのチャネル形成領域として使用される。i型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、約1800[Å]程度の膜厚で形成する。

このi型半導体層ASは、供給ガスの成分を変えてSi,N_xからなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オームックコンタクト用のPをドープしたN⁺型半

ソース電極SD1、ドレイン電極SD2のそれぞれは、N⁺型半導体層d0に接触する下層側から、第1導電膜d1、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第1導電膜d1、第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第1導電膜d1、第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

第1導電膜d1はスパッタで形成したクロム膜を用い、500～1000[Å]の膜厚(この液晶表示装置では、600[Å]程度の膜厚)で形成する。クロム膜は膜厚を厚く形成するとストレスが大きくなるので、2000[Å]程度の膜厚を越えない範囲で形成する。クロム膜はN⁺型半導体層d0との接触が良好である。クロム膜は後述する第2導電膜d2のアルミニウムがN⁺型半導体層d0に接触することを防止するいわゆるバリア層を構成する。第1導電膜d1としては、クロム膜の他に高融点金属(Mo,Ti,Ta,W)膜、高融点金属シリサイド(MoSi_x,TiSi_x,TaSi_x)

WSi_x) 膜で形成してもよい。

第1遮電膜d1を写真処理でバーニングした後、同じ写真処理用マスクを用いて、あるいは第1遮電膜d1をマスクとして、N⁺型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN⁺型半導体層d0は第1遮電膜d1以外の部分がセルフアラインで除去される。このとき、N⁺型半導体層d0はその厚さ分は全て除去されるようエッチされるので、i型半導体層ASも若干その表面部分でエッチされるが、その程度はエッチ時間で制御すればよい。

しかる後、第2遮電膜d2がアルミニウムのスパッタリングで3000~5500[Å]の膜厚（この液晶表示装置では、3500[Å]程度の膜厚）に形成される。アルミニウム膜はクロム膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第2遮電膜d2としてはアルミニウム膜の他にシリコンや銅（Cu）を添加物として含有さ

れれている。ソース電極SD1は、i型半導体層ASの段差形状（第1遮電膜g1の膜厚、N⁺型半導体層d0の膜厚およびi型半導体層ASの膜厚を加算した膜厚に相当する段差）に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差形状に沿って形成された第1遮電膜d1と、この第1遮電膜d1の上部にそれによって透明画素電極ITO1と接続される側を小さいサイズで形成した第2遮電膜d2と、この第2遮電膜d2から露出する第1遮電膜d1に接続された第3遮電膜d3とで構成されている。ソース電極SD1の第2遮電膜d2は第1遮電膜d1のクロム膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないで、このi型半導体層ASを乗り越えるために構成されている。つまり、第2遮電膜d2は厚く形成することでステップカバレッジを向上している。第2遮電膜d2は厚く形成できるので、ソース電極SD1の抵抗値（ドレイン電極SD2や映像信号線DLについても同様）の低減に大き

せたアルミニウム膜で形成してもよい。

第2遮電膜d2の写真処理技術によるバーニング後、第3遮電膜d3が形成される。この第3遮電膜d3はスパッタリングで形成された透明遮電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000~2000[Å]の膜厚（この液晶表示装置では、1200[Å]程度の膜厚）で形成される。この第3遮電膜d3はソース電極SD1、ドレイン電極SD2および映像信号線DLを構成するとともに、透明画素電極ITO1を構成するようになっている。

ソース電極SD1の第1遮電膜d1、ドレイン電極SD2の第1遮電膜d1のそれぞれは、上層の第2遮電膜d2および第3遮電膜d3に比べて内側に（チャンネル領域内に）大きく入り込んでいる。つまり、これらの部分における第1遮電膜d1は第2遮電膜d2、第3遮電膜d3とは無間隔に薄膜トランジスタTFTのゲート長Lを規定できるように構成されている。

ソース電極SD1は透明画素電極ITO1に接

ぐ寄与している。第3遮電膜d3は第2遮電膜d2のi型半導体層ASに起因する段差形状を乗り越えることができないので、第2遮電膜d2のサイズを小さくすることで、露出する第1遮電膜d1に接続するように構成されている。第1遮電膜d1と第3遮電膜d3とは接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、ソース電極SD1と透明画素電極ITO1とを確実に接続することができる。

〈透明画素電極ITO1〉

透明画素電極ITO1は各画素毎に設けられており、液晶表示部の画素電極の一方を構成する。透明画素電極ITO1は画素の複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれに対応して3つの分割透明画素電極E1、E2、E3に分割されている。分割透明画素電極E1~E3は各々薄膜トランジスタTFTのソース電極SD1に接続されている。

分割透明画素電極E1~E3のそれぞれは実質的に同一面版となるようにバーニングされてい

る。

このように、1面側の薄膜トランジスタTFTを複数の薄膜トランジスタTFT1～TFT3に分割し、この複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに分離透明画素電極E1～E3のそれぞれを接続することにより、分割された一部分（たとえば、薄膜トランジスタTFT1）が点欠陥になってしまっても、画素全体でみれば点欠陥でなくなる（薄膜トランジスタTFT2および薄膜トランジスタTFT3が欠陥でない）ので、点欠陥の確率を低減することができ、また欠陥を見にくくすることができる。

また、分割透明画素電極E1～E3のそれぞれを実質的に同一面積で構成することにより、分割透明画素電極E1～E3のそれぞれと共に透明画素電極ITO2とで構成されるそれぞれの液晶容量Capixを均一にすることができる。

〈保護膜PSV1〉

薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。

TSのi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜BMは第6図のハッティング部分で示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され（ブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を調節側（外部露出側）とすることもできる。

〈共通透明画素電極ITO2〉

共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素毎に設けられた透明画素電極ITO1に対向し、液晶LCDの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2

保護膜PSV1は主に薄膜トランジスタTFTを離気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や二氧化シリコン膜で形成されており、8000[Å]程度の膜厚で形成する。

〈遮光膜BM〉

上部透明ガラス基板SUB2側には、外部光（第2B図では上方からの光）がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMは第6図のハッティングに示すようなパターンとされている。なお、第6図は第2A図におけるITO膜からなる第3導電層d3、カラーフィルタFLIおよび遮光膜BMのみを描いた平面図である。遮光膜BMは光に対する遮蔽性が高いとえばアルミニウム膜やクロム膜等で形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300[Å]程度の膜厚に形成される。

したがって、薄膜トランジスタTFT1～TFT3の間の電位差（電界）に応答して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。コモン電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中间電位である。

〈カラーフィルタFLI〉

カラーフィルタFLIはアクリル樹脂等の樹脂材料で形成される染色基材に塗料を着色して構成されている。カラーフィルタFLIは画素に対応する位置に各画素毎にドット状に形成され（第7図）、染め分けられている（第7図は第3図の第3導電層d3とカラーフィルタFLIのみを描いたもので、R、G、Bの各カラーフィルタFLIはそれぞれ、45°、135°、クロスのハッチを施してある）。カラーフィルタFLIは第6図に示すように透明画素電極ITO1（E1～E3）の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFLIおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO2

T O 1 の周辺部より内側に形成されている。

カラーフィルタ F I L は次のように形成することができる。まず、上部透明ガラス基板 S U B 2 の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタ R を形成する。つぎに、同様な工程を施すことによって、緑色フィルタ G 、青色フィルタ B を順次形成する。

〈保護膜 P S V 2 〉

保護膜 P S V 2 はカラーフィルタ F I L を異なる色に染め分けた染料が液晶 L C に漏れることを防止するために設けられている。保護膜 P S V 2 はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

〈画素配列〉

液晶表示部の各画素は、第3図および第7図に示すように、走査信号線 G L が延在する方向と同一列方向に複数配置され、画素列 X 1 , X 2 , X 3 , X 4 , …のそれぞれを構成している。各画

素列 X 1 , X 2 , X 3 , X 4 , …のそれぞれの画素は、薄膜トランジスタ T F T 1 ~ T F T 3 および分割透明画素電極 E 1 ~ E 3 の配置位置を同一に構成している。つまり、奇数画素列 X 1 , X 3 , …のそれぞれの画素は、薄膜トランジスタ T F T 1 ~ T F T 3 の配置位置を左側、分割透明画素電極 E 1 ~ E 3 の配置位置を右側に構成している。奇数画素列 X 1 , X 3 , …のそれぞれの行方向の隣りの偶数画素列 X 2 , X 4 , …のそれぞれの画素は、奇数画素列 X 1 , X 3 , …のそれぞれの画素を映像信号線 D L の延在方向を逆にして対称でひっくり返した画素で構成されている。すなわち、画素列 X 2 , X 4 , …のそれぞれの画素は、薄膜トランジスタ T F T 1 ~ T F T 3 の配置位置を右側、透明画素電極 E 1 ~ E 3 の配置位置を左側に構成している。そして、画素列 X 2 , X 4 , …のそれぞれの画素は、画素列 X 1 , X 3 , …のそれぞれの画素に対し、列方向に半画素間隔移動させて（ずらして）配置されている。つまり、画素列 X 1 の各画素間隔を 1.0 (1.0ピッチ) とする

と、次段の画素列 X 2 は、各画素間隔を 1.0 とし、画素列 X 1 に対して列方向に 0.5 画素間隔 (0.5ピッチ) ずれている。各画素間を行方向に延在する映像信号線 D L は、各画素列 X 1 において、半画素間隔分 (0.5ピッチ分) 列方向に延在するように構成されている。

その結果、第7図に示すように、前段の画素列 X 1 の所定色フィルタが形成された画素（たとえば、画素列 X 3 の赤色フィルタ R が形成された画素）と次段の画素列 X 2 の同一色フィルタが形成された画素（たとえば、画素列 X 4 の赤色フィルタ R が形成された画素）とが 1.5 画素間隔 (1.5ピッチ) 離隔され、また RGB のカラーフィルタ F I L は三角形配置となる。カラーフィルタ F I L の R G B の三角形配置構造は、各色の混色を良くすることができるので、カラー画像の解像度を向上することができる。

また、映像信号線 D L は、各画素列 X 1 において、半画素間隔分しか列方向に延在しないので、直接する映像信号線 D L と交差しなくなる。した

がって、映像信号線 D L の引き回しをなくしその占有面積を低減することができ、また映像信号線 D L の迂回をなくし、多層配線構造を廃止することができる。

〈表示装置全体等価回路〉

この液晶表示装置の等価回路を第8図に示す。X i G , X i + 1 G , …は、緑色フィルタ G が形成される画素に接続された映像信号線 D L である。X i B , X i + 1 B , …は、青色フィルタ B が形成される画素に接続された映像信号線 D L である。X i + 1 R , X i + 2 R , …は、赤色フィルタ R が形成される画素に接続された映像信号線 D L である。これらの映像信号線 D L は、映像信号駆動回路で選択される。Y i は第3図および第7図に示す画素列 X 1 を選択する走査信号線 G L である。同様に、Y i + 1 , Y i + 2 , …のそれぞれは、画素列 X 2 , X 3 , …のそれぞれを選択する走査信号線 G L である。これらの走査信号線 G L は垂直走査回路に接続されている。

〈保持容量粒子 C add の構造〉

分割透明画素電極 E 1～E 3 のそれぞれは、薄膜トランジスタ TFT と接続される端部と反対側の端部において、脚りの走査信号線 GL と重なるよう、L 字状に屈折して形成されている。この重ね合わせは、第 2 C 図からも明らかなように、分割透明画素電極 E 1～E 3 のそれぞれを一方の電極 PL 2 とし、脚りの走査信号線 GL を他方の電極 PL 1 とする保持容量素子（寄生容量素子） Cadd を構成する。この保持容量素子 Cadd の誘電体膜は、薄膜トランジスタ TFT のゲート絶縁膜として使用される絶縁膜 GI と同一層で構成されている。

保持容量素子 Cadd は、第 4 図からも明らかなように、ゲート膜 GL の第 1 透明電膜 g1 の幅を広げた部分に形成されている。なお、映像信号線 DL と交差する部分の第 1 透明電膜 g1 は映像信号線 DL との短絡の確率を小さくするため細くされている。

保持容量素子 Cadd を構成するために重ね合わされる分割透明画素電極 E 1～E 3 のそれぞれと

電極 PL 1 との間の一帯には、ソース電極 SD 1 と同様に、段差形状を乗り越える際に透明画素電極 ITO 1 が断続しないように、第 1 透明電膜 g1 および第 2 透明電膜 g2 で構成された島領域が設けられている。この島領域は、透明画素電極 ITO 1 の面積（開口率）を低下しないように、できる限り小さく構成する。

〈保持容量素子 Cadd の等価回路とその動作〉

第 2 A 図に示される画素の等価回路を第 9 図に示す。第 9 図において、Cgs は薄膜トランジスタ TFT のゲート電極 GT とソース電極 SD 1 との間に形成される寄生容量である。寄生容量 Cgs の誘電体膜は絶縁膜 GI である。Cpix は透明画素電極 ITO 1 (PIX) と共通透明画素電極 ITO 2 (COM) との間に形成される液晶容量である。液晶容量 Cpix の誘電体膜は液晶 LC、保護膜 PSV 1 および配向膜 ORI 1, ORI 2 である。V1c は中点電位である。

保持容量素子 Cadd は、薄膜トランジスタ TFT がスイッチングするとき、中点電位 (透明電極

電位) V1c に対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次式のようになる。

$$\Delta V1c = (C_{gs}/(C_{gs} + C_{add} + C_{pix})) \times \Delta Vg$$

ここで、 $\Delta V1c$ は ΔVg による中点電位の変化分を表す。この変化分 $\Delta V1c$ は液晶 LC に加わる直流成分の原因となるが、保持容量 Cadd を大きくすればする程、その値を小さくすることができる。また、保持容量素子 Cadd は放電時間を長くする作用もあり、薄膜トランジスタ TFT がオフした後の映像情報を長く蓄積する。液晶 LC に印加される直流成分の低減は、液晶 LC の寿命向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

前述したように、ゲート電極 GT は i 型半導体層 AS を完全に覆うよう大きくされている分、ソース電極 SD 1、ドレイン電極 SD 2 とのオーバラップ面積が増え、したがって寄生容量 Cgs が大きくなり、中点電位 V1c はゲート (走査) 信号 Vg の影響を受け易くなるという逆効果が生じる。

しかし、保持容量素子 Cadd を設けることによりこのデメリットも解消することができる。

保持容量素子 Cadd の保持容量は、画素の寄込特性から、液晶容量 Cpix に対して 4～8 倍 ($4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$)、重ね合わせ容量 Cgs に対して 8～32 倍 ($8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$) 程度の値に設定する。

〈保持容量素子 Cadd 電極線の構造方法〉

容量電極線としてのみ使用される最終段の走査信号線 GL (または初段の走査信号線 GL) は、第 8 図に示すように、共通透明画素電極 ITO 2 (V_{cos}) に接続する。共通透明画素電極 ITO 2 は、第 2 B 図に示すように、液晶表示装置の周縁部において墨ベースト材 SL によって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電層 (g1 および g2) は走査信号線 GL と同一製造工程で構成されている。この結果、最終段の走査信号線 (容量電極線) GL は、共通透明画素電極 ITO 2 に簡単な接続することができる。

または、第8図の点線で示すように、最終段(初段)の走査信号線(容量電極線)GLを初段(最終段)の走査信号線GLに接続してもよい。なお、この接続は液晶表示部内の内部配線あるいは外部引出配線によって行なうことができる。
(保持容量素子Caddの走査信号による直流分相殺)

この液晶表示装置は、先に本願出願人によって出願された特願昭62-95125号に記載される直流相殺方式(DCキャセルセル方式)に基づき、第10図(タイムチャート)に示すように、走査信号線GLの駆動電圧を調節することによってさらに液晶LCに加わる直流成分を低減することができる。第10図において、Viは任意の走査信号線GLの駆動電圧、Vi+1はその次段の走査信号線GLの駆動電圧である。Veeは映像信号線DLに印加されるロウレベルの駆動電圧Vdmin、Vddは映像信号線DLに印加されるハイレベルの駆動電圧Vdmaxである。各時刻t=t1~t4における中点電位V1c(第9図参照)の電圧変化

(遮断トランジスタTFTのオフ期間がオン期間より圧倒的に長い)。したがって、液晶LCにかかる直流分の計算は、期間t1~t3はほぼ無視でき、遮断トランジスタTFTがオフ直後の電位、すなわち時刻t3、t4における過渡時の影響を考えればよい。なお、映像信号はフレーム毎、あるいはライン毎に極性が反転し、映像信号そのものによる直流分は零とされている。

つまり、直流相殺方式は、寄生容量Cgsによる中点電位V1cの引き込みによる低下分を、保持容量素子Caddおよび次段の走査信号線(容量電極線)GLに印加される駆動電圧によって押し上げ、液晶LCに加わる直流成分を極めて小さくすることができる。この結果、液晶表示装置は液晶LCの寿命を向上することができる。もちろん、遮光効果を上げるためにゲート電極GTを大きくした場合、それに伴って保持容量素子Caddの保持容量を大きくすればよい。

つぎに、第1A図によりこの発明に係るカラー液晶表示装置の製造方法について説明する。まず、

分△Vi~△V4は、画素の合計の容量C=Cgs+Cpix+Caddとすると、次式で表される。

$$\Delta V_1 = -(C_{gs}/C) \cdot V_2$$

$$\Delta V_2 = +(C_{gs}/C) \cdot (V_1 + V_2)$$

$$-(C_{add}/C) \cdot V_2$$

$$\Delta V_3 = -(C_{gs}/C) \cdot V_1$$

$$+(C_{add}/C) \cdot (V_1 + V_2)$$

$$\Delta V_4 = -(C_{add}/C) \cdot V_1$$

ここで、走査信号線GLに印加される駆動電圧が充分であれば(下記〔注〕参照)、液晶LCに加わる直流電圧は、次式で表される。

$$\Delta V_1 + \Delta V_4 = (C_{add} \cdot V_2 - C_{gs} \cdot V_1)/C$$

したがって、Cadd \cdot V2 = Cgs \cdot V1とすると、液晶LCに加わる直流電圧は0になる。

〔注〕時刻t1、t2で駆動電圧Viの変化分が中点電位V1cに影響を及ぼすが、t2~t3の期間に中点電位V1cは信号線Xiを通じて映像信号電位と同じ電位にされる(映像信号の十分な書き込み)。液晶LCにかかる電位は遮断トランジスタTFTがオフした直後の電位でほぼ決定される

上部透明ガラス基板SUB2に膜厚が1300[Å]のクロム膜をスパッタリングにより設ける。つぎに、エッティング液として硝酸第2セリウムアンモニウム溶液を使用した写真強刻技術でクロム膜を選択的にエッティングすることによって、遮蔽膜BMを形成する。つぎに、遮蔽膜BM上に染色基材を設け、写真強刻技術で赤色フィルタ形成領域以外の染色基材を除去する。つぎに、染色基材を赤色染料で染色し、固着処理を施して、赤色カラーフィルタFIL(R)を形成する。つぎに、染色基材を設け、写真強刻技術で緑色フィルタ形成領域以外の染色基材を除去する。つぎに、染色基材をシアン染料で染色したのち、さらに同一の染色基材をイエロー染料で染色し、固着処理を施して、緑色カラーフィルタFIL(G)を形成する。つぎに、染色基材を設け、写真強刻技術で青色フィルタ形成領域以外の染色基材を除去する。つぎに、染色基材を青色染料で染色し、固着処理を施して、青色カラーフィルタFIL(B)を形成する。

このカラー液晶表示装置の製造方法においては、

染色基材をシアン染料で染色したのち、さらに同一の染色基材をイエロー染料で染色することにより、緑色カラーフィルタFL(G)を形成しているから、シアン染料、イエロー染料の各染色条件を固定にすることで、染色基材へのシアン染料、イエロー染料の各染着量を一定にすることができます。容易に緑色カラーフィルタFL(G)を一定の色調に染色することができる。

第1B図によりこの発明に係る他のカラー液晶表示装置の製造方法について説明する。まず、上部透明ガラス基板SUB2に遮蔽膜BMを形成する。つぎに、遮蔽膜BM上に染色基材を設け、染色基材上にレジストRSTを塗布し、写真焼刻技術で赤色フィルタ形成領域のレジストRSTを除去したのち、染色基材の露出部分を赤色染料で染色する。つぎに、レジストRSTを除去し、染色基材上にレジストRSTを塗布し、写真焼刻技術で緑色フィルタ形成領域のレジストRSTを除去したのち、染色基材の露出部分をシアン染料で染色したのち、さらに染色基材の同一部分をイエロー

染色の製造方法においては、シアン染料、イエロー染料の各染色条件を固定にすることで、染色基材へのシアン染料、イエロー染料の各染着量を一定にすることができます。容易に緑色カラーフィルタを一定の色調に染色することができる。このように、この発明の効果は显著である。

4. 画面の簡単な説明

第1A図、第1B図はそれぞれこの発明に係るカラー液晶表示装置の製造方法の説明図、第2A図はこの発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図、第2B図は第2A図のII-B-II-B切断線で切った部分とシール部周辺部の断面図、第2C図は第2A図のII-C-II-C切断線における断面図、第3図は第2A図に示す画素を複数配置した液晶表示部の要部平面図、第4図～第6図は第2A図に示す画素の所定の層のみを描いた平面図、第7図は第3図に示す画素電極層とカラーフィルタ層のみを描いた要部平面図、第8図はアクティブ・マトリックス方式のカラー液晶

一染料で染色する。つぎに、レジストRSTを除去し、染色基材上にレジストRSTを塗布し、写真焼刻技術で青色フィルタ形成領域のレジストRSTを除去したのち、染色基材の露出部分を青色染料で染色する。つぎに、レジストRSTを除去したのち、固着処理を施して、赤色カラーフィルタFL(R)、緑色カラーフィルタFL(G)、青色カラーフィルタFL(B)を形成する。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、この発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

たとえば、上述実施例においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でもこの発明は有効である。

【発明の効果】

以上説明したように、この発明に係る液晶表示

表示装置の液晶表示部を示す等価回路図、第9図は第2A図に記載される画素の等価回路図、第10図は直流相殺方式による走査信号線の駆動電圧を示すタイムチャートである。

SUB…透明ガラス基板

GL…走査信号線

DL…映像信号線

GI…遮光膜

GT…ゲート電極

AS…i型半導体層

SD…ソース電極またはドレイン電極

PSV…保護膜

BM…遮光膜

LC…液晶

IFT…薄膜トランジスタ

ITO…透明電極電極

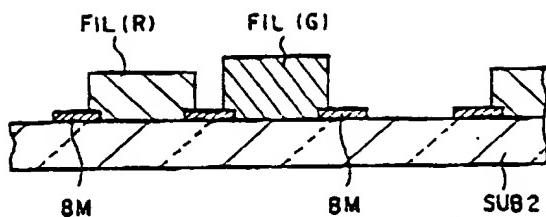
g, d…遮電極

Cadd…保持容量素子

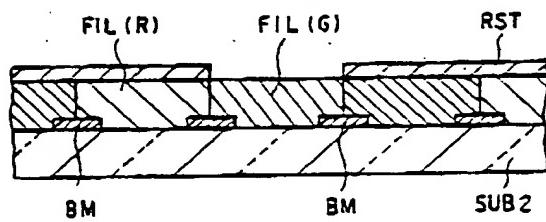
Cgs…寄生容量

Cpix…液晶容量

第1A図

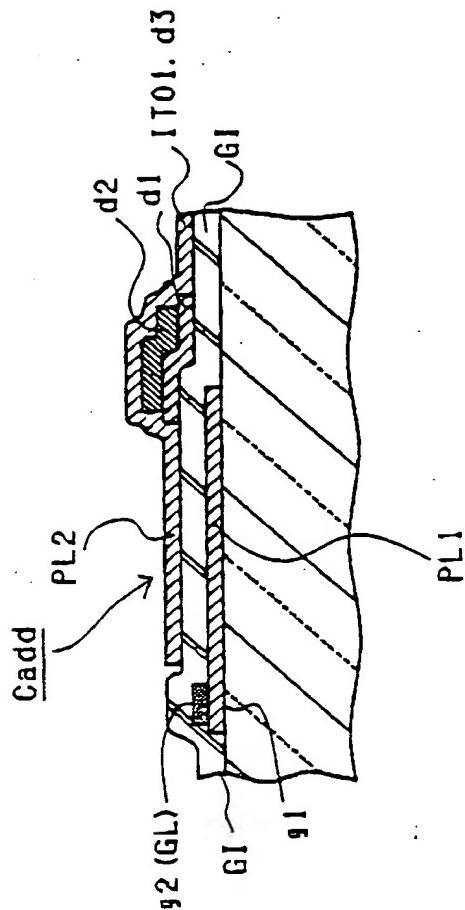


第1B図

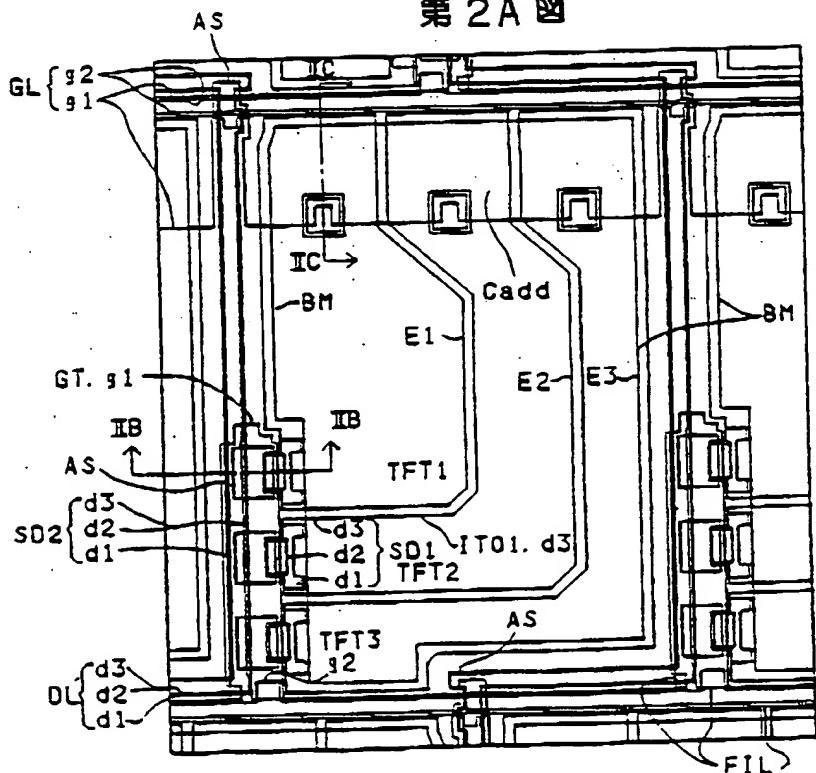


FIL (G) ---- 緑色カラーフィルタ

第2C図

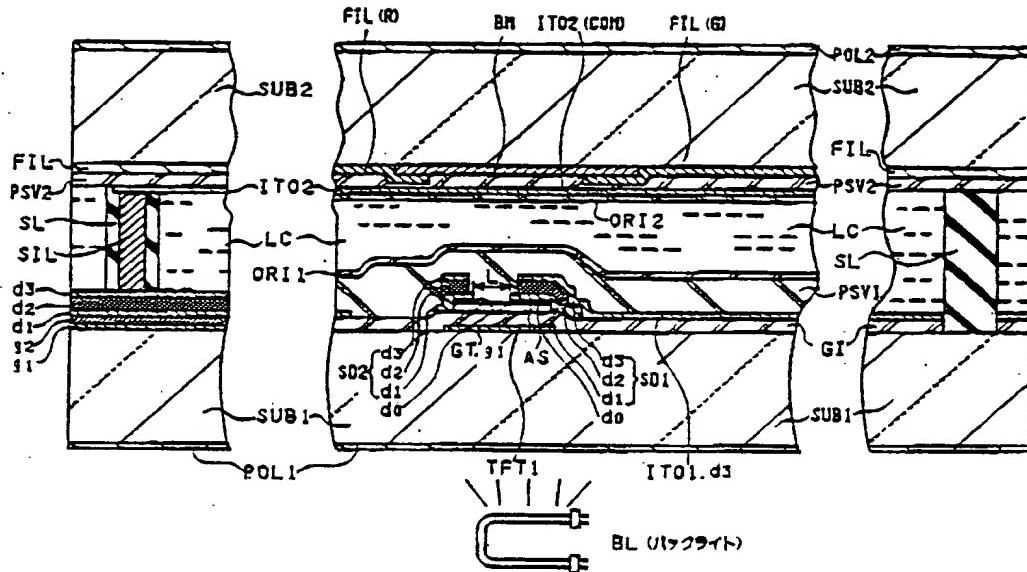


第2A図

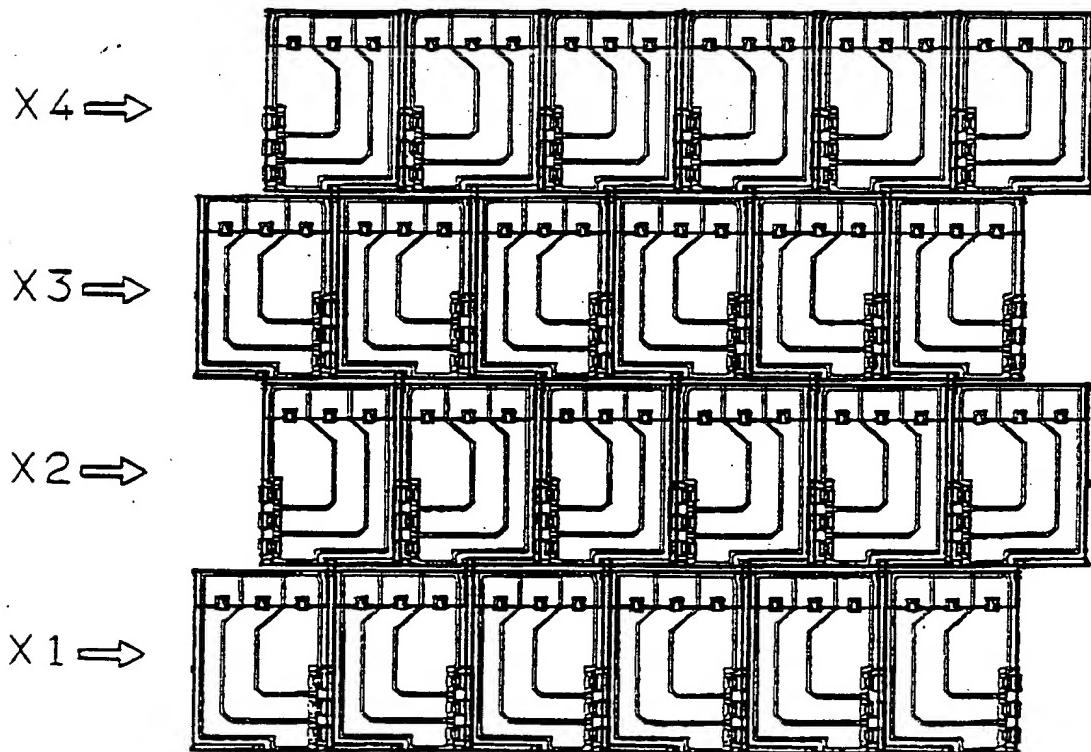


第2B図

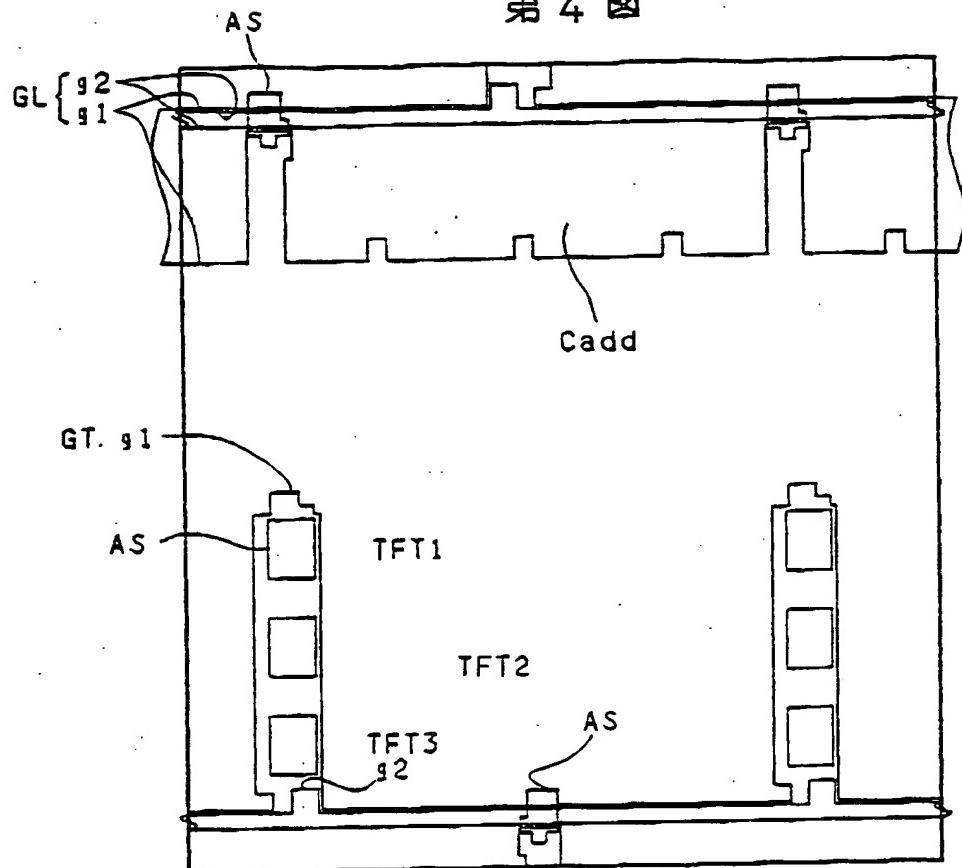
POL1, POL2 - 偏光板
 SUB2 - 上部ガラス基板
 FIL - カラーフィルタ
 PSV2 - カラーフィルタの保護膜
 ITO2 - 天面透明電極電極
 ORI2 - 上部配向膜
 LC - 液晶
 ORI1 - 下部配向膜
 BM - ブラックマトリックス
 PSV1 - TFTの保護膜
 IT01 (d3) - 透明電極電極
 SD - ソースドレイン電極 (d1~d3)
 AS - L型半導体層
 GI - ゲート電極
 GT - ゲート電極 (d1, d2)
 SUB1 - 下部ガラス基板
 BL - バックライト



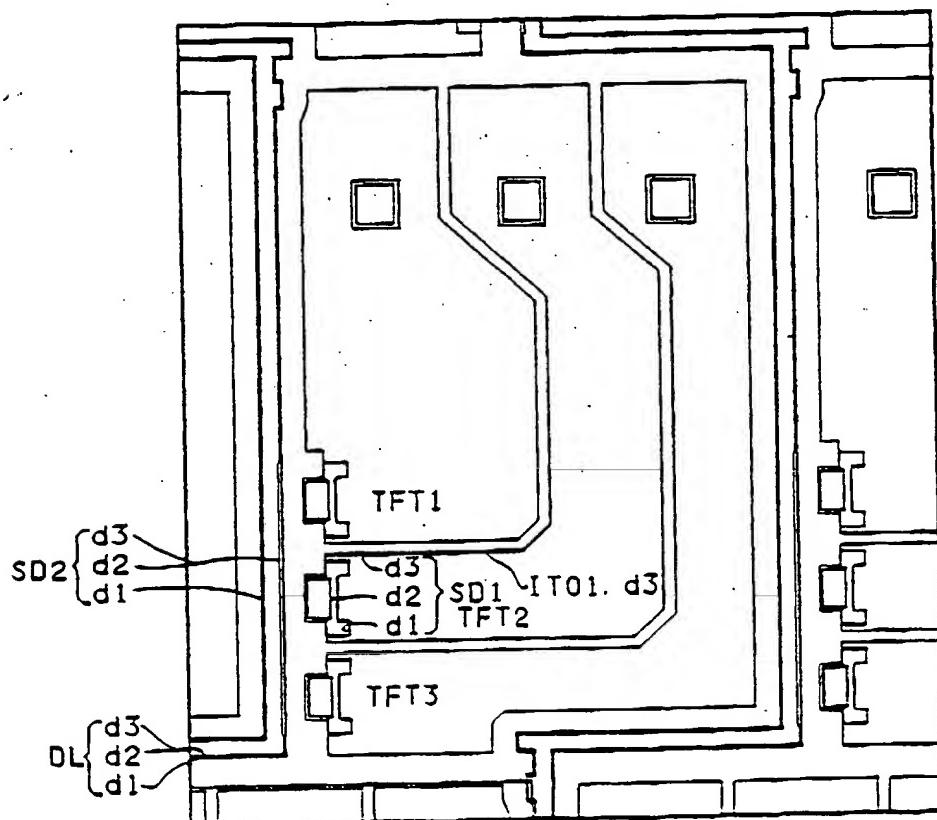
第3図



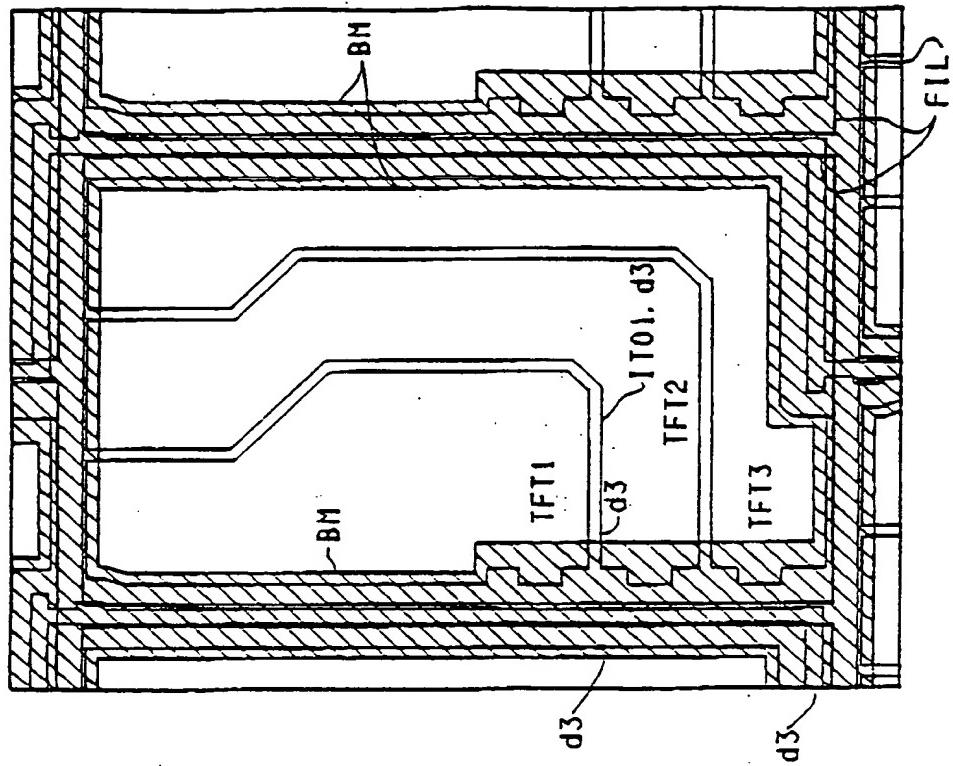
第4図



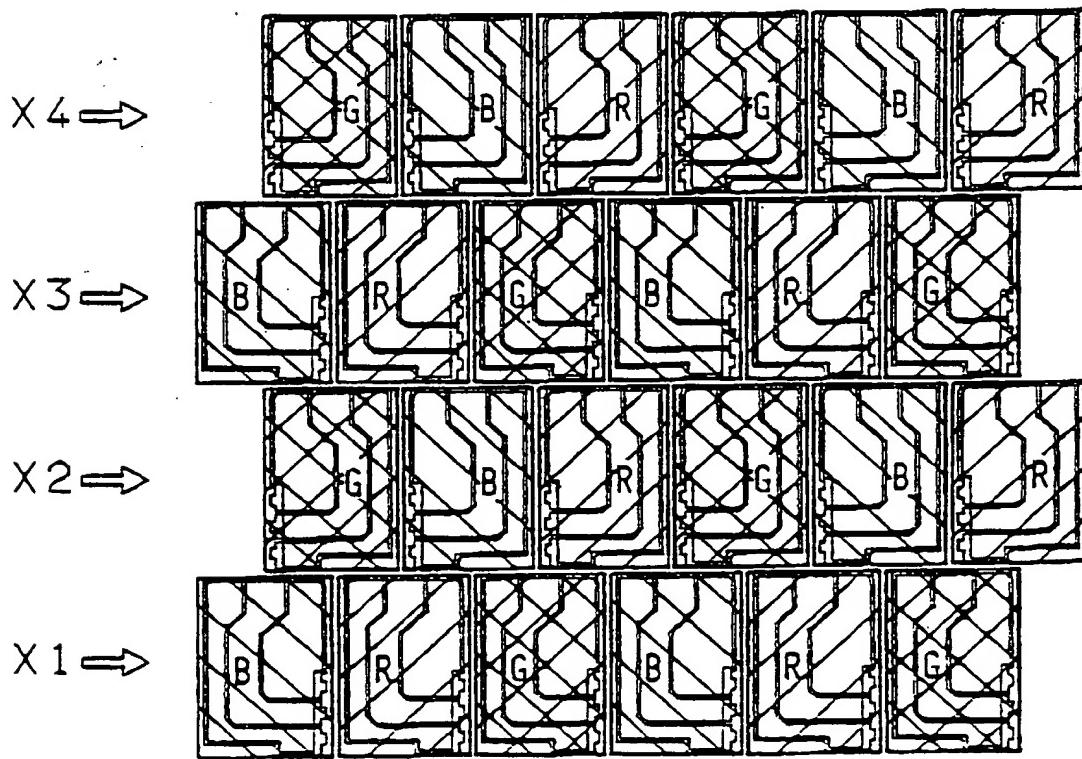
第5図



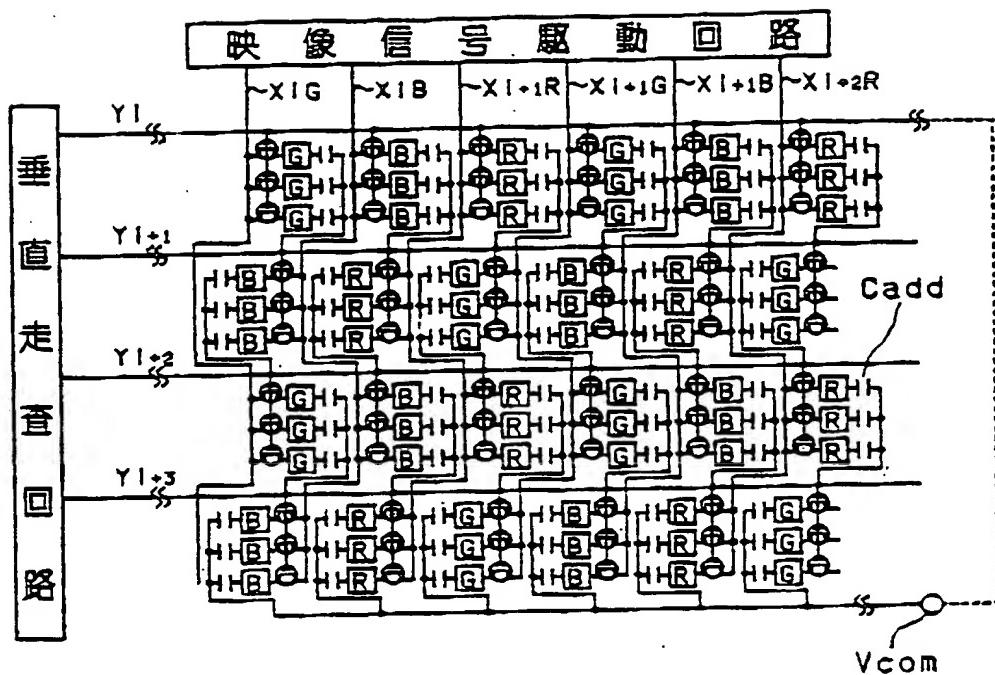
第6図



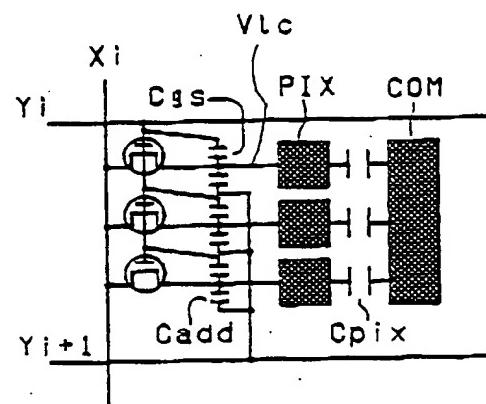
第7図



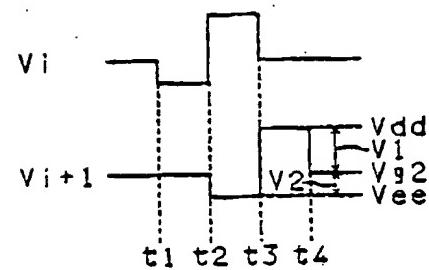
第8図



第9図



第10図



第1頁の続き

②発明者 渡辺 番樹 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内